

04588602 **Image available**

MANUFACTURE OF ACTIVE MATRIX SUBSTRATE

PUB. NO.: 06-260502 [JP 6260502 A]

PUBLISHED: September 16, 1994 (19940916)

INVENTOR(s): HASHIZUME TSUTOMU

APPLICANT(s): SEIKO EPSON CORP [000236] (A Japanese Company or Corporation)
, JP (Japan)

APPL. NO.: 05-044094 [JP 9344094]

FILED: March 04, 1993 (19930304)

INTL CLASS: [5] H01L-021/336; H01L-029/784; G02F-001/136

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 29.2 (PRECISION INSTRUMENTS -- Optical Equipment)

JAPIO KEYWORD:R002 (LASERS); R011 (LIQUID CRYSTALS); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 1643, Vol. 18, No. 658, Pg. 154,
December 13, 1994 (19941213)

ABSTRACT

PURPOSE: To make it possible to manufacture an active matrix substrate capable of rapidly switching pixels, by crystallizing a silicon thin film by irradiation with an exima laser so that the whole manufacturing region of the active matrix substrate is included.

CONSTITUTION: At first, an oxide silicon thin film UNL and a silicon thin film SLR are deposited one after another on a glass substrate GLS. Then, An exima laser beam LSB (LSR) is applied to the laser beam irradiation region RLR to crystallize the silicon thin film SLR so that the display region ALC of each active matrix matrix substarate is sufficiently covered. Only the region RMX is crystallized where the energy of the laser beam LDR required for the crystallization so as to make a polycrystalline silicon thin film PSL. And, the crystallized silicon thin film PSL is patterned, thereby allowing the switching to be done by means of a transistor with superior characteristics.

DIALOG(R)File 352:DERWENT WPI
(c) 2000 Derwent Info Ltd. All rts. reserv.
010068677 **Image available**

WPI Acc No: 1994-336390/199442

XRAM Acc No: C94-152956

XRPX Acc No: N94-264269

**Mfg. active matrix system liquid crystal display - by forming silicon
thin film on substrate, crystallising using irradiation of energy beam, etc.**

Patent Assignee: SEIKO EPSON CORP (SHIH)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 6260502	A	19940916	JP 9344094	A	19930304	199442 B

Priority Applications (No Type Date): JP 9344094 A 19930304

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 6260502	A		15 H01L-021/336	

Abstract (Basic): JP 6260502 A

A silicon thin film is formed on a substrate, the thin film is
crystallised by an irradiation of energy beam and the crystallised thin
film is patterned.

USE - The substrate housing driving circuit composed of thin film
having high mobility and capable of switching a picture element at a
high speed can be provided. Dwg.6/18

Title Terms: MANUFACTURE; ACTIVE; MATRIX; SYSTEM; LIQUID; CRYSTAL;
DISPLAY; FORMING; SILICON; THIN; FILM; SUBSTRATE; CRYSTAL; IRRADIATE;
ENERGY; BEAM

Derwent Class: L03; P81; U14

International Patent Class (Main): H01L-021/336

International Patent Class (Additional): G02F-001/136; H01L-029/784

File Segment: CPI; EPI; EngPI

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-260502

(43)公開日 平成 6 年(1994) 9 月16 日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/336 29/784				
G 0 2 F 1/136	5 0 0	9018-2K 9056-4M 9056-4M	H 0 1 L 29/ 78	3 1 1 Y 3 1 1 A
審査請求 未請求 請求項の数 9 O L (全 15 頁)				

(21)出願番号 特願平5-44094

(22)出願日 平成 5 年(1993) 3 月 4 日

(71)出願人 000002369

セイコーエプソン株式会社
東京都新宿区西新宿 2 丁目 4 番 1 号

(72)発明者 橋爪 勉

長野県諏訪市大和 3 丁目 3 番 5 号 セイコ
ーエプソン株式会社内

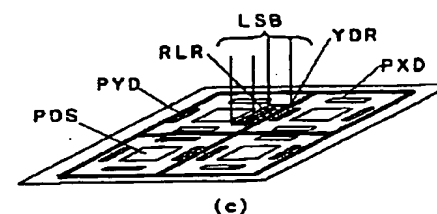
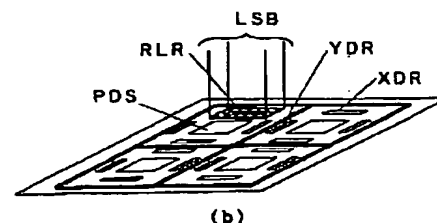
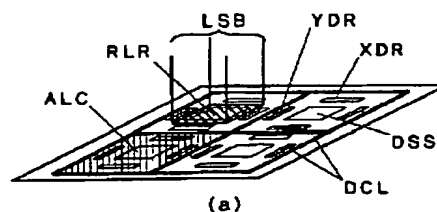
(74)代理人 弁理士 鈴木 喜三郎 (外 1 名)

(54)【発明の名称】 アクティブマトリクス基板の製造方法

(57)【要約】

【構成】 アクティブマトリクス基板の製造領域がすっぽり入るようにエキシマレーザを照射することによりシリコン薄膜を結晶化する。この方法で形成された多結晶シリコン薄膜が活性層である薄膜トランジスタをスイッチング素子にしてアクティブマトリクス基板を製造する。

【効果】 特性が著しく優れた薄膜トランジスタでスイッチングできるので、高速駆動CMOS回路を内蔵した高密度、高精細、高品位の表示が可能なアクティブマトリクス基板を製造できる。



【特許請求の範囲】

【請求項 1】 一枚の基板上に、表示領域と駆動回路で構成されたアクティブマトリクス基板を複数個製造する工程において、基板上にシリコン薄膜を形成する工程と、エネルギービームの照射領域と非照射領域の境界が駆動回路形成領域あるいは表示領域に掛からないように、エネルギービームを照射することによりシリコン薄膜を結晶化する工程と、上記結晶化したシリコン薄膜をパターニングする工程とを含むことを特徴とするアクティブマトリクス基板の製造方法。

【請求項 2】 一枚の基板上に、表示領域と駆動回路で構成されたアクティブマトリクス基板を複数個製造する工程において、基板上にシリコン薄膜を形成する工程と、上記シリコン薄膜をパターニングする工程と、エネルギービームの照射領域と非照射領域の境界が駆動回路形成領域あるいは表示領域に掛からないように、エネルギービームの照射することによりシリコン薄膜を結晶化する工程とを含むことを特徴とするアクティブマトリクス基板の製造方法。

【請求項 3】 請求項 1 および請求項 2 のアクティブマトリクス基板の製造方法において、複数の駆動回路形成領域と表示領域から少なくとも 1 つの領域のシリコン薄膜をエネルギービームの照射によりシリコン薄膜を結晶化する工程を含むことを特徴とするアクティブマトリクス基板の製造方法。

【請求項 4】 請求項 1 および請求項 2 のアクティブマトリクス基板の製造方法において、複数の駆動回路形成領域と表示領域から少なくとも 2 つの領域を一括してエネルギービームを照射してシリコン薄膜を結晶化する工程を含むことを特徴とするアクティブマトリクス基板の製造方法。

【請求項 5】 請求項 1 および請求項 2 のアクティブマトリクス基板の製造方法において、1 つのアクティブマトリクス基板を構成する複数の駆動回路形成領域と表示領域を一括してエネルギービームを照射してシリコン薄膜を結晶化する工程を含むことを特徴とするアクティブマトリクス基板の製造方法。

【請求項 6】 請求項 3 および請求項 4 のアクティブマトリクス基板の製造方法において、複数のエネルギービームの照射領域がある場合、少なくとも 1 つの照射領域へのエネルギービームの照射強度と、他のエネルギービームの照射領域へのエネルギービームの照射強度とが異なっており、シリコン薄膜を結晶化する工程とを含むことを特徴とするアクティブマトリクス基板の製造方法。

【請求項 7】 一枚の基板上に、表示領域のみで構成されたアクティブマトリクス基板を複数個製造する工程において、基板上にシリコン薄膜を形成する工程と、エネルギービームの照射領域と非照射領域の境界が駆動回路形成領域あるいは表示領域に掛からないように、エネルギービームを照射することによりシリコン薄膜を結晶化

する工程と、上記結晶化したシリコン薄膜をパターニングする工程とを含むことを特徴とするアクティブマトリクス基板の製造方法。

【請求項 8】 一枚の基板上に、表示領域のみで構成されたアクティブマトリクス基板を複数個製造する工程において、基板上にシリコン薄膜を形成する工程と、上記シリコン薄膜をパターニングする工程と、エネルギービームの照射領域と非照射領域の境界が駆動回路形成領域あるいは表示領域に掛からないように、エネルギービームを照射することにより上記パターニングしたシリコン薄膜を結晶化する工程とを含むことを特徴とするアクティブマトリクス基板の製造方法。

【請求項 9】 請求項 1 および請求項 2、請求項 3、請求項 4、請求項 5、請求項 6、請求項 7、請求項 8 のアクティブマトリクス基板の製造方法において、エネルギービームがパルスレーザであることを特徴とするアクティブマトリクス基板の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 アクティブマトリクス方式の液晶ディスプレイの製造方法に関する。

【0002】

【従来の技術】 有力な平面ディスプレイであるアクティブマトリクス型液晶ディスプレイは、研究開発の速度を早め、CRT並の表示品質と画面サイズを持つまでに至っている。

【0003】 このディスプレイの画素をスイッチングする素子は薄膜トランジスタであることが多い。アモルファスシリコンを活性層に利用した薄膜トランジスタは、オン状態における電流が小さいものの、オフ状態のリーク電流が著しく小さいために、オン/オフ比が 7 から 8 桁もある優れた画素スイッチング素子である。従来の画素サイズは 100 から 200 μm で、画素密度は 100 個/ mm^2 程度であった。

【0004】 ところが、ワークステーションや高品位テレビジョンのように、画素密度が 1000 個/ mm^2 と高密度である場合、スイッチング時間が非常にかかるためアモルファスシリコンタイプの薄膜トランジスタでは、オン状態の電流が不足する。そこで、この電流がアモルファスシリコン型薄膜トランジスタの 10 から 100 倍もある多結晶シリコンを活性層に利用した薄膜トランジスタを画素のスイッチング素子に用いた液晶ディスプレイが研究され、一部では小型の液晶ディスプレイで商品化されている。

【0005】 従来の小型のアクティブマトリクス型の液晶ディスプレイは、画素のスイッチング素子をコントロールする周辺駆動回路を内蔵していた。周辺駆動回路を構成する薄膜トランジスタは、CMOS 回路が構成できるよう多結晶シリコン薄膜トランジスタであった。商品化されたアクティブマトリクス型液晶ディスプレイの薄

膜トランジスタは、大規模集積回路を模倣した1000℃以上の温度を利用するプロセスであるため、透明基板には石英が用いられている。

【0006】ところが、石英基板は非常に高価であるので、厚みが1mmのA4サイズ以上の広い面積の基板で、一度に多くの小型の周辺回路内蔵のアクティブマトリクス基板を製造することはできなかった。このため石英基板を利用する限り、コストの高いアクティブマトリクス基板になっていた。

【0007】そこで、最近では、至点が600℃以下のコストの安い耐熱性ガラス基板上に高性能の多結晶シリコン薄膜トランジスタで周辺駆動回路を内蔵した小型のアクティブマトリクス基板の製造プロセスが研究されている。グレインサイズが大きく、結晶欠陥の少ない多結晶シリコンは、シリコン薄膜にエネルギービームを照射して形成できる。このエネルギービームは、エキシマレーザビームが適当である。

【0008】ところが、現在のエキシマレーザビームは、出力が小さく、たとえばA4サイズの基板の全領域を一括して照射できず、均一な結晶化シリコン層ができない欠点があった。

【0009】図17に示すように、エキシマレーザのバルスビームを照射した領域FSPのシリコン薄膜は多結晶シリコン薄膜になる。次のバルスビームはLvの間隔でLvの重なりをもって領域SSPのシリコン薄膜を多結晶シリコン薄膜にする。このように、エキシマレーザのバルスビームをLvずつずらして、各々の照射領域を重ねるようにして、多結晶シリコン薄膜を形成するのが一般的な方法であった。

【0010】この方法であると図17(d)に示すように、バルスビームの境界で、境界以外の領域PCRより粒径が小さな微結晶シリコンMCRが形成されるため、アクティブマトリクス基板の製造領域で形成される結晶化シリコン薄膜の均一性が低い欠点があった。

【0011】この問題点を克服する方法として、第38回応用物理学関係連合講演会講演予稿集673ページ30p-T-7「エキシマレーザアニールを用いたpoly-SiTFTの作製」がある。この方法では、シリコン薄膜に照射するエキシマレーザの強度を2つのレベルに設定して、レーザ結晶化シリコンの均質性の向上を試みている。

【0012】この方法の概略を図18で説明する。

【0013】レーザビームの大きさは7mm四方の正方形であり、エネルギー分布は図17(a)に示すように矩形で、強度の大きなところで±5%以内の強度分布を持っている。

【0014】まず、図18(b)のようにガラス基板GLS上に減圧化学気相成長法で非晶質シリコン薄膜SLRを形成し、図18(c)のように1回目のKrFエキシマレーザFLSを270mJ/cm²の強度で、図17

の方法で照射して多結晶シリコンFPLを形成し、次に図18(d)に示すように2回目のKrFエキシマレーザSLSを450mJ/cm²の強度で照射して1回目に形成した多結晶シリコン薄膜FPLよりも大きな粒径の多結晶シリコン薄膜SPLになる。

【0015】

【発明が解決しようとする課題】レーザアニールで結晶化したシリコン薄膜を活性層に用いた薄膜トランジスタの特性は、通常、移動度が100cm²V⁻¹s⁻¹以上の特性が得られるのにも関わらず、この従来例では、60cm²V⁻¹s⁻¹程度に低下し、レーザアニール法によるシリコン薄膜結晶化の利点を損なう欠点があった。

【0016】600℃以下の温度で駆動回路内蔵のアクティブマトリクス基板の製造にはレーザアニール法が有力な採用技術である。しかし、従来のレーザアニール法によるシリコン薄膜の結晶化ではできあがった多結晶シリコン薄膜が不均一な品質である問題点があった。

【0017】そこで、レーザアニールの利点を生かして100cm²V⁻¹s⁻¹以上の移動度の薄膜トランジスタで構成された駆動回路内蔵のアクティブマトリクス基板の製造方法が求められていた。

【0018】

【課題を解決するための手段】1枚の基板上に、表示領域の素子を駆動する駆動回路を内蔵するアクティブマトリクス基板を複数個製造する工程において、基板上にシリコン薄膜を形成する工程と、シリコン薄膜のパターニング前、あるいはパターニング後にエネルギービームの照射領域と非照射領域の境界が駆動回路と表示領域に掛からないように、一枚の基板上の個々のアクティブマトリクス基板の駆動回路と表示領域の全領域、あるいは表示領域、駆動回路形成領域の各領域を一括してエネルギービームを照射することによりシリコン薄膜を結晶化する工程を含むことを特徴とするアクティブマトリクス基板の製造方法。

【0019】

【実施例】以下、本発明の詳細を図示の実施例によって説明する。

【0020】短辺が115mm、長辺が125mmの長方形のガラス基板上に、短辺が14mm、長辺が10.5mmの長方形の表示領域をもつ信号側駆動回路と走査側駆動回路を表示領域と同じ基板上に形成するアクティブマトリクス基板を縦に4列、横に6行並べて合計24個のアクティブマトリクス基板を製造する例を説明する。

【0021】図1に示すように、ガラス基板GLS上に酸化シリコン薄膜製のパッシベーション膜UNLを電子サイクロトロン共鳴化学気相成長法あるいは減圧化学気相成長法、常圧化学気相成長法により200nmの厚みで形成し、次に、シリコン薄膜SLRを減圧化学気相成長法、スパッタ法、プラズマ化学気相成長法のいずれか

の方法で50 nmの厚みで上記酸化シリコン薄膜UNL上に被着形成する。

【0022】次に、波長308 nmのXeClエキシマレーザLSRをシリコン薄膜SLRに照射し多結晶シリコン薄膜を形成する。

【0023】モノシランガスを反応ガスに用いた減圧化学気相成長法の基板温度550℃でシリコン薄膜SLRが形成された場合には、 180 mJ cm^{-2} から 270 mJ cm^{-2} の強度で真空中あるいは不活性ガス雰囲気、大気中でXeClエキシマレーザLSRを照射すればよく、この結果、シリコン薄膜SLRは、粒径が200 nm～500 nmの結晶で構成された多結晶シリコン薄膜になる。シリコン薄膜の結晶化に用いるレーザはXeClエキシマレーザばかりでなく、ArF、KrF、F₂エキシマレーザやYAGレーザでもよい。凸レンズや凹レンズや薄錐型のレンズの組み合わせによる光学系にレーザビームを透過することにより、このエキシマレーザビームは強度95%以上のエネルギー均一性が±5%以下である領域が18.5 mmある空間的なエネルギー分布を持つ。

【0024】実施例数は9つある。

【0025】まず、第1の実施例について説明する。

【0026】図2に示すように、信号側駆動回路XCRと走査側駆動回路YCRと表示領域DSSで構成されたアクティブマトリクス基板を図2(a)に示すように、基板をセットしてあるステージを走査しながら順次アニールし、図2(b)に示すように基板上の全てのアクティブマトリクス基板形成領域のシリコン層を多結晶シリコン層にする。

【0027】図3は、アクティブマトリクス基板にエキシマレーザビームを照射する斜視図を示している。エキシマレーザビームLSBの照射領域RLRの中に、アクティブマトリクス基板の信号側駆動回路XDRと走査側駆動回路YDRと表示領域DSSが入っている。エキシマレーザビームLSBの境界は、個々のアクティブマトリクス基板の切断線DCLにある。

【0028】隣合うアクティブマトリクス基板へのエキシマレーザビームの照射の様子を断面図で図4の断面図に示す。ガラス基板GLS上に酸化シリコン薄膜UNLとシリコン薄膜SLRを順次形成し、アクティブマトリクス基板領域RLCにエキシマレーザビームLSRを照射する。エキシマレーザビームLSRの照射領域は、図4のRLRであるが、このうち、強度95%以上のエネルギー強度でその均一性が±5%以下であるエネルギー領域はRMXであり、この領域RMXの中にアクティブマトリクス基板領域RLCが入っている。レーザビームのエッジの影響を避けるため、アクティブマトリクス基板の形成領域RLCと隣のアクティブマトリクス基板のシリコン層に照射するエキシマレーザビームLSRの照射領域RLRの距離DRCは0.5 mmある。このた

め、従来問題だったレーザビームの境界領域の微結晶シリコン薄膜の形成が回避されるので、アクティブマトリクス基板全体に渡って良好な多結晶シリコン薄膜が形成される。

【0029】この実施例のアクティブマトリクス基板の構成面積は 147 mm^2 であるので、レーザ発振器から基板までの光学系の透過率が70%である場合、レーザ発振器エキシマレーザの出力は600 mJ以上あれば十分である。

【0030】図1の薄膜トランジスタの形成工程の続きを説明する。

【0031】レーザ照射により形成されたアクティブマトリクス基板形成領域の多結晶シリコン層PSLを図1(c)に示すようにリソグラフィ法によりパターンニングする。

【0032】次に、図1(c)に示すように、パターンニングした多結晶シリコン層を覆うように、電子サイクロトロン共鳴化学減圧化学気相成長法により、薄膜トランジスタのゲート絶縁膜GSDになる酸化シリコン薄膜を120 nmの厚みで形成する。このゲート絶縁膜GSDの形成法は、上記の他に、常圧化学気相成長法、減圧化学気相成長法で形成された酸化シリコン薄膜でも本発明を利用することができる。

【0033】次に、多結晶シリコン薄膜PSLに重なるようにゲート絶縁膜GSDの上にゲート電極GTDを600 nmの厚みで形成する。このゲート電極の材料は、不純物を含んだ半導体、あるいは金属、シリサイド、ポリアセチレン、ポリピロールなどの導電性物質である。次に、ソース・ドレイン領域を形成するため、多結晶シリコン薄膜PSL中に不純物を注入IMPする。不純物の注入方法としては、質量分離式のイオン注入方法や、バケットタイプの質量非分離方式のイオン注入方法がある。N型トランジスタを形成する場合、前者のイオン注入方法では、 $^{31}\text{P}^+$ を $3 \times 10^{15} \text{ cm}^2$ の注入量で、80 keVのエネルギーで注入する。また、後者の質量比分離方式のイオン注入方法では、水素とホスフィンPH₃の混合ガスを反応ガスにして、80 keVのエネルギーで多結晶シリコン薄膜PSL中にイオン注入する。

【0034】一方、P型薄膜トランジスタの形成には、質量分離式のイオン注入法では $^{11}\text{B}^+$ を $3 \times 10^{15} \text{ cm}^2$ の量を多結晶シリコン薄膜PSLに注入する。一方質量非分離式のイオン注入法では、水素とジボランの混合ガスを反応ガスにして、B原子を $3 \times 10^{15} \text{ cm}^2$ の濃度になるように多結晶シリコン薄膜中に注入する。

【0035】次に、図1(c)で注入した不純物を300から1000℃の温度で熱処理して活性化する。この熱処理工程により、ソース領域SCRとドレイン領域DRRが形成される。

【0036】次に、ゲート電極GTDとゲート絶縁膜GSDを覆うように、酸化シリコン薄膜を500 nmの厚

みで層間絶縁膜 I S D を被着形成し、ソース領域 S S D とドレイン領域 D R R 上に配線のためのスルーホールを形成する。表示領域の画素のスイッチング用の薄膜トランジスタのためには、アルミニウム材料でソース電極 S S D を形成し、次に、ソース電極 S S D を覆うように酸化シリコン薄膜あるいは耐熱性の有機薄膜でパッシベーション膜 P V S を形成し、さらにこのパッシベーション膜に、配線用のスルーホールを形成し、ドレイン領域 D R R に到達するようにドレイン電極 T E D を形成する。

【0037】一方、駆動回路を構成する薄膜トランジスタのためには、層間絶縁膜 I S D とゲート絶縁膜 G S D にスルーホールを形成した後にアルミニウム材料でソース電極とドレイン電極と薄膜トランジスタ間の配線を同時に形成する。

【0038】適当に P 型と N 型の薄膜トランジスタを適当に配線で接続することにより C M O S 回路を構成する。

【0039】次に、第 2 の実施例について図面を参照しながら詳細に説明する。

【0040】上記の第 1 の実施例と同じように、ガラス基板 G L S 上に酸化シリコン薄膜製のパッシベーション膜 U N L を被着形成し、さらに、このパッシベーション膜 U N L 上に、減圧化学気相成長法、電子サイクロトロン共鳴化学気相成長法、スパッタ法などによりシリコン薄膜 S L R を被着形成する。

【0041】つぎに、エキシマレーザをシリコン薄膜 S L R に照射して多結晶シリコン薄膜 P S R を形成する。

【0042】このエキシマレーザビームの照射方法を図 5 から図 7 を示しながら説明する。

【0043】図 5 (a) に示すようにアクティブマトリクス基板形成領域 A L C は、信号側駆動回路形成領域 X D R と走査側駆動回路形成領域 Y D R と表示領域 D S S で構成されている。まず、表示領域 D S S にあるパターンニングされたシリコン薄膜をエキシマレーザビームを照射して多結晶シリコン薄膜にする。図 5 (b) の P D S は、多結晶シリコン薄膜が形成された表示領域を示す。次に、信号側駆動回路形成領域 X D R のシリコン薄膜を 270mJ cm^{-2} のエネルギー強度のエキシマレーザビームを照射して結晶化する。図 5 (c) の P X D は、信号側駆動回路形成領域のシリコン薄膜が、レーザ照射によって多結晶シリコン薄膜になったことを示す。さらに、走査側駆動回路形成領域 Y D R のシリコン薄膜をエキシマレーザビームを照射して結晶化する。図 5 (d) の P Y D は、走査側駆動回路形成領域のシリコン薄膜が、レーザ照射によって多結晶シリコン薄膜になったことを示す。

【0044】上述の実施例では走査側駆動回路形成領域 Y D R より信号側駆動回路形成領域 X D R のシリコン薄膜を先にエキシマレーザを照射したが、走査側駆動回路形成領域のシリコン薄膜を先にエキシマレーザを照射し

て多結晶シリコン薄膜を形成しても良い。

【0045】この第 2 の実施例の、表示領域 D S S、信号側駆動回路形成領域 X D R、走査側駆動回路形成領域 Y D R のシリコン薄膜に照射するエキシマレーザのエネルギー強度の大きさは互いに同じである。

【0046】以上のエキシマレーザビームの照射により、アクティブマトリクス基板のシリコン薄膜が、石垣状の結晶形態である $200\sim500\text{nm}$ の粒径の多結晶シリコン薄膜になる。

【0047】図 6 に、この図 5 に示す方法によるエキシマレーザビームの照射の斜視図を示す。図 5 (b) に図 6 (a) が、図 5 (c) に図 6 (b) が、図 5 (d) に図 6 (c) がそれぞれ対応している。

【0048】このレーザビームの照射の様子を図 6 に模式的な基板断面図を使って説明する。

【0049】まず、ガラス基板 G L S 上に、酸化シリコン薄膜 U N L とシリコン薄膜 S L R を順次を被着形成する。

【0050】次に、個々のアクティブマトリクス基板の表示領域 R L C を充分覆うように、R L R の範囲でエキシマレーザビーム L S R を照射しシリコン薄膜を結晶化する。結晶化に必要なレーザビームのエネルギーが照射された領域 R M X のみ結晶化し、多結晶シリコン薄膜 P S L になる。

【0051】次に、図 6 (b) に示すように、駆動回路形成領域 R L R のシリコン薄膜にエキシマレーザビーム D L R を照射して、多結晶シリコン薄膜 D P L を形成する。図 7 (b) の領域 R L C はエキシマレーザビームの照射領域であり、領域 R M X は、シリコン薄膜が結晶化する領域である。領域 R L R は実際に駆動回路が形成され、粒径が $200\sim500\text{nm}$ 程度で結晶形態が石垣状にそろっている領域である。

【0052】このエキシマレーザビームの照射により、図 7 (c) に示すアクティブマトリクス領域 A L C のシリコン薄膜は、多結晶シリコン薄膜 P S L・D P L なる。また、隣合うアクティブマトリクス基板 A L C の間隔 P T C は、 $0.5\sim2\text{mm}$ 程度である。

【0053】この方法によれば、従来問題になっていた、レーザビームの照射境界で発生した微結晶シリコンの悪影響が回避でき、しかも、駆動回路と表示領域のそれぞれで一括にエキシマレーザビームの照射するので、非常に高品位の多結晶シリコン薄膜をアクティブマトリクス基板全体で得られる。

【0054】表示領域と信号側駆動回路、走査側駆動回路のエキシマレーザビームのシリコン薄膜上の照射エネルギー強度は同じである。表示領域と駆動回路の薄膜トランジスタの移動度が同じであれば、表示領域と駆動回路の設計が非常に簡単になる利点がある。

【0055】次に、第 3 の実施例について説明する。

【0056】エキシマレーザ照射の方法は上述の第 2 の

実施例と同じである。

【0057】ただし、表示領域のシリコン薄膜へのエキシマレーザの照射強度と、信号線側駆動回路形成領域および走査側駆動回路形成領域のシリコン薄膜へのエキシマレーザの照射強度が異なる。

【0058】たとえば、表示領域の画素のスイッチング素子に使う薄膜トランジスタを構成するシリコン薄膜の結晶化には、 200 mJ cm^{-2} の強度のエキシマレーザビームを照射する。そのn型薄膜トランジスタの電気的特性は、移動度が $12\text{ cm}^2\text{ V}^{-1}\text{ s e c}^{-1}$ であり、ゲート長 $10\text{ }\mu\text{m}$ 、ゲート幅 $10\text{ }\mu\text{m}$ の構造で、ソース電極に対してゲート電位が -10 V 、ドレイン電位が 4 V であるときのリーク電流が $2 \times 10^{-12}\text{ A}$ リーク電流が著しく小さくなる。一方、駆動回路の薄膜トランジスタを構成するシリコン薄膜の結晶化には 270 mJ cm^{-2} のエネルギー強度で照射する。この駆動回路のn型薄膜トランジスタの電気的特性は、ゲート長 $10\text{ }\mu\text{m}$ 、ゲート幅 $10\text{ }\mu\text{m}$ の構造で、ソース電極に対してゲート電位が -10 V 、ドレイン電位が 4 V であるときのリーク電流が $1 \times 10^{-11}\text{ A}$ であり、移動度が $100\text{ cm}^2\text{ V}^{-1}\text{ s e c}^{-1}$ となる。

【0059】第1の実施例と同じように、ガラス基板GLS上に酸化シリコン薄膜のパッシベーション膜UNLを被着形成し、さらに、この酸化シリコン薄膜上に、減圧化学気相成長法、電子サイクロトロン共鳴化学気相成長法、スパッタ法などによりシリコン薄膜を被着形成する。

【0060】つぎに、エキシマレーザをシリコン薄膜に照射して多結晶シリコン薄膜を形成する。

【0061】このエキシマレーザビームの照射方法は上述した第2の発明の図5から図7の説明と同じである。非常に高速な駆動回路を必要とするアクティブマトリクス基板を製造する場合に有効である。

【0062】この第2の実施例では、表示領域よりも駆動回路形成領域のシリコン薄膜の結晶化のレーザ強度が大きな場合を説明したが、逆に駆動回路形成領域より表示領域のシリコン薄膜の結晶化のレーザ強度が大きい場合でも良い。

【0063】次に、第3の実施例について説明する。

【0064】第2と第3の実施例の違いは、表示領域のシリコン薄膜に照射するエキシマレーザのエネルギー強度と、信号線側駆動回路形成領域のシリコン薄膜に照射するエネルギー強度と、走査線側駆動回路形成領域のシリコン薄膜に照射するエネルギー強度が、互いに異なる点である。

【0065】たとえば、表示領域の画素のスイッチング素子に使う薄膜トランジスタを構成するシリコン薄膜の結晶化には、 200 mJ cm^{-2} の強度のエキシマレーザビームを照射する。そのn型の薄膜トランジスタの電気的特性は、移動度が $12\text{ cm}^2\text{ V}^{-1}\text{ s e c}^{-1}$ であり、

ゲート長 $10\text{ }\mu\text{m}$ 、ゲート幅 $10\text{ }\mu\text{m}$ の構造で、ソース電極に対してゲート電位が -10 V 、ドレイン電位が 4 V であるときのリーク電流が $2 \times 10^{-12}\text{ A}$ リーク電流が著しく小さくなる。一方、走査線側駆動回路の薄膜トランジスタを構成するシリコン薄膜の結晶化には 230 mJ cm^{-2} のエネルギー強度で照射する。このn型の薄膜トランジスタの電気的特性は、ゲート長 $10\text{ }\mu\text{m}$ 、ゲート幅 $10\text{ }\mu\text{m}$ の構造で、ソース電極に対してゲート電位が -10 V 、ドレイン電位が 4 V であるときのリーク電流が $5 \times 10^{-12}\text{ A}$ であり、移動度が $60\text{ cm}^2\text{ V}^{-1}\text{ s e c}^{-1}$ となる。さらに、信号線側駆動回路の薄膜トランジスタを構成するシリコン薄膜の結晶化には 270 mJ cm^{-2} のエネルギー強度で照射する。このn型の薄膜トランジスタの電気的特性は、ゲート長 $10\text{ }\mu\text{m}$ 、ゲート幅 $10\text{ }\mu\text{m}$ の構造で、ソース電極に対してゲート電位が -10 V 、ドレイン電位が 4 V であるときのリーク電流が $1 \times 10^{-11}\text{ A}$ であり、移動度が $100\text{ cm}^2\text{ V}^{-1}\text{ s e c}^{-1}$ となる。

【0066】このように、第3の実施例では、レーザ照射強度を変えてシリコン薄膜を結晶化して、利用目的に応じた特性の薄膜トランジスタを形成することができる。

【0067】次に、第4の実施例を説明する。

【0068】この実施例のポイントは、表示領域のシリコン薄膜のレーザ照射の結晶化は行わないが、駆動回路形成領域のシリコン薄膜をレーザビームの照射により結晶化することである。

【0069】まず、図8に示すように、ガラス基板GLS上に酸化シリコン薄膜UNLを 200 nm 被着形成する。さらに、酸化シリコン薄膜UNL上にシリコン薄膜を 50 nm の厚みで被着形成する。このシリコン薄膜は、モノシランを反応ガスにした減圧化学気相成長法で、温度 510°C で形成する。さらに、 600°C 8時間の窒素雰囲気中でいわゆる固相成長法でシリコン薄膜を多結晶化する。この方法で形成された多結晶シリコン薄膜SPCは、結晶形状が樹状であり、大きさが長径 $1\text{ }\mu\text{m}$ 程度の結晶となる。

【0070】次に、アクティブマトリクス基板の駆動回路形成領域の多結晶シリコン薄膜SPCにエキシマレーザビームDLRを照射して結晶化する。XeClエキシマレーザを照射する場合には、このレーザビームの強度は多結晶シリコン薄膜上で $230\sim 300\text{ mJ cm}^{-2}$ の間で選べば良い。このレーザビームの照射により、樹状の結晶形態である多結晶シリコン薄膜SPCは、石垣状の結晶形態である多結晶シリコン薄膜DPLに変化する。この石垣状の結晶は、結晶粒内の欠陥が少なく電子や正孔の移動度が高い。図8(b)に示すように、レーザビームが照射される領域はRLCであるが、多結晶シリコン薄膜SPCがレーザビームの照射により再結晶化する領域はRMXであり、さらに、駆動回路が形成され

る領域はRLRである。エキシマレーザビームの空間的なエネルギー分布は、特殊な光学系により図17(a)に示すように、台形状になっているので、駆動回路が形成される領域のシリコン層に照射されるレーザビームのエネルギーは均一である。

【0071】図8(c)に示すように、隣接するアクティブマトリクス基板が形成される領域ALCの間隔は、PTCであり、その幅は500 μ mから2mmである。

【0072】図9にエキシマレーザビームの照射方法を平面図で示した。

【0073】図9(a)に示すように、ガラス基板GLS上の信号側駆動回路XDRと走査側駆動回路YDRと表示領域DSSに形成されたシリコン薄膜を、600 $^{\circ}$ Cの温度で8時間の時間をかけて、図9(b)に示すように多結晶シリコン薄膜SPCを形成する。次に、図10(a)の斜視図に示すように、信号側駆動回路形成領域XDRの多結晶シリコン薄膜SPCにエキシマレーザビームを照射して、再結晶化して図9(c)に示すように多結晶シリコン薄膜SXDを形成する。次に、図10(b)の斜視図に示すように走査側駆動回路形成領域YDRの多結晶シリコン薄膜SPCにエキシマレーザビームを照射して、再結晶化して図9(d)に示すように多結晶シリコン薄膜SYDを形成する。

【0074】上述の実施例では走査側駆動回路形成領域より信号側駆動回路形成領域のシリコン薄膜を先にエキシマレーザを照射したが、走査側駆動回路形成領域のシリコン薄膜を先にエキシマレーザを照射して多結晶シリコン薄膜を形成しても良い。

【0075】これによって、表示領域のシリコン薄膜は固相成長法により形成された多結晶シリコン薄膜であるが、駆動回路のシリコン薄膜はレーザ照射により形成された多結晶シリコン薄膜になる。

【0076】石垣状の粒径200~300nmの多結晶シリコン薄膜の形成以後のアクティブマトリクス基板の工程は、第1の実施例と同じである。

【0077】次に第5の実施例を説明する。

【0078】この実施例は、レーザ照射によるシリコン薄膜の結晶化において、走査側駆動回路形成領域と信号側駆動回路形成領域のレーザ照射強度が、第4の実施例と異なる場合である。

【0079】次にさらに、本発明の第6の実施例を説明する。

【0080】図11に示すように、1枚のガラス基板上に12個のアクティブマトリクス基板ALCを製作する場合について説明する。

【0081】まず、上記の実施例と同じように、ガラス基板に酸化シリコン膜によるパッシベーション膜を形成し、このパッシベーション膜状に、シリコン膜を形成する。シリコン薄膜の形成方法としては、減圧化学気相成長法、プラズマ化学気相成長法、蒸着法、スパッタ法な

どの方法がある。シリコン薄膜の厚みは50nmである。図11の実施例では、表示部の上辺と下辺に信号側駆動回路を形成し、左辺と右辺に走査側駆動回路を形成する。この信号側駆動回路と走査側駆動回路を一括して、XeClエキシマレーザを図11(a)の領域RLRに照射する。このとき表示領域のシリコン薄膜にはレーザビームを照射しない。また、このレーザビームの照射領域と非照射領域の境界は、駆動回路と表示領域の間に存在する。

【0082】50nmのシリコン薄膜にXeClエキシマレーザを照射して、粒径300nm以上の良質な多結晶シリコン膜を形成するには、シリコン薄膜表面で240~270mJ/cm²のエネルギーでよい。レーザ照射領域の面積が2.4cm²であれば、580~650mJのレーザビームのエネルギーが有れば良い。このレーザビームの照射により、図11(b)に示すように信号側駆動回路形成領域の多結晶シリコン膜PXDと走査側駆動回路の多結晶シリコン膜PYDが形成される。

【0083】このレーザビームの照射は、シリコン薄膜のパターニング前でも、パターニング後でも良い。

【0084】次に、図12(a)に示すように、図11(b)に示したように駆動回路形成領域の多結晶シリコン膜を形成した後に、表示領域のシリコン薄膜を結晶化するためXeClエキシマレーザを照射する。このエキシマレーザの照射でも、レーザビームの照射領域RLRと非照射領域の境界は、駆動回路形成領域と表示領域の間にある。表示領域の多結晶シリコン膜を形成するためのレーザビームの強度は、駆動回路形成領域と同じでも良いが、表示領域の画素のスイッチングする薄膜トランジスタの性能によっては、駆動回路形成領域の照射強度と異なってもよい。

【0085】このレーザビームの照射は、シリコン薄膜のパターニング前でも、パターニング後でも良い。

【0086】図11と図12の様に、シリコン薄膜の結晶化を駆動回路形成領域と表示領域で別々にレーザ照射して実施したが、次の第7の実施例に説明する図13と図14の様に照射しても良い。

【0087】図13(a)に示すように、信号側駆動回路形成領域と表示領域のシリコン薄膜を一括して、XeClエキシマレーザを照射して多結晶シリコン膜を形成する。個のレーザビームの照射の際にもレーザビームの照射領域RLRと非照射領域の境界は、表示領域と走査側駆動回路形成領域の間にあり、表示領域や駆動回路形成領域には存在しない。このレーザ照射により図13

(b)に示すように、信号側駆動回路形成領域の多結晶シリコン膜PXDと表示領域の多結晶シリコン膜PDSが形成される。次に図14(a)に示すように、走査側駆動回路形成領域YDRにレーザビームを照射して、図14(b)に示すように多結晶シリコン膜PYDを形成する。このレーザビームの照射領域RLRと非照射領域

の境界は、走査側駆動回路形成領域と表示領域の間に存在する。

【0088】この図13と図14のレーザビームの照射によるアクティブマトリクス基板の多結晶シリコン膜の形成方法では、信号側駆動回路形成領域と表示領域のシリコン薄膜を一括してレーザビームを照射する事により多結晶シリコン膜を形成したが、走査側駆動回路と表示領域のシリコン膜を一括してレーザビームを照射して多結晶シリコン膜を形成してもよい。

≡【0089】この図13と図14の方法では、信号側駆動回路を構成する薄膜トランジスタと表示領域の画素のスイッチング素子である薄膜トランジスタの性能が同じ場合に、非常に便利な方法である。

【0090】さらに、この図13と図14の方法によるレーザビームの照射は、シリコン薄膜のパターニング前でも後でも可能である。

【0091】信号側駆動回路と走査側駆動回路がそれぞれ1つずつ内蔵されたアクティブマトリクス基板の場合でも本発明を実施する事が出来る。

【0092】以上の発明では、1つの表示領域に2つずつの信号側駆動回路と走査側駆動回路が構成された実施例を説明したが、次の第8の実施例のように、1つの表示領域に対し1つずつの信号側駆動回路と走査側駆動回路が構成された場合でも本発明を利用することができる。

【0093】図15(a)に示すように信号側駆動回路形成領域XDRと走査側駆動回路形成領域YDRを一括して、XeClエキシマレーザを照射して多結晶シリコン膜を形成する。このとき表示領域のシリコン薄膜にはレーザビームを照射しない。レーザビームの照射領域RLRと非照射領域の境界は表示領域と、それぞれの駆動回路形成領域の間に存在する。このレーザビームの照射により、図15(b)に示すように信号側駆動回路の多結晶シリコン膜PXDと走査側駆動回路の多結晶シリコン膜PYDが形成される。

【0094】次に、図16(a)に示すように表示領域のシリコン薄膜にXeClエキシマレーザを照射して結晶化するこのレーザビームの照射領域RLRと非照射領域の境界は、表示領域と駆動回路形成領域の間に存在する。

【0095】以上の第6から第8の実施例により、駆動回路形成領域と表示領域に、きわめて均一性が高く、粒径が300nm程度の欠陥が少ない良質な多結晶シリコン膜が形成される。

【0096】よって、本発明の方法ではエキシマレーザビームの照射により、高移動度の薄膜トランジスタによって構成された駆動回路を内蔵する液晶表示対応のアクティブマトリクス基板を製造する事が出来る。

【0097】

【発明の効果】レーザアニールで結晶化したシリコン薄

膜を利用した薄膜トランジスタの特性は、移動度で $100\text{ cm}^2\text{ V}^{-1}\text{ s}^{-1}$ 以上の特性が得られるのにも関わらず、従来の方法では移動度が $60\text{ cm}^2\text{ V}^{-1}\text{ s}^{-1}$ 程度に低下し、レーザアニール法によるシリコン薄膜結晶化の利点を損なう欠点があった。

【0098】しかし、本発明では、パルスレーザビームを走査して照射領域を重ねる方法で発生する微結晶シリコンの影響がなく、結晶粒径が大きく結晶欠陥がない高品質の多結晶シリコン薄膜がアクティブマトリクス基板の作製領域全体で均一に得られる。従って、レーザアニールの利点を生かした $100\text{ cm}^2\text{ V}^{-1}\text{ s}^{-1}$ 以上の移動度の薄膜トランジスタで構成された駆動回路を内蔵し、高速で画素をスイッチングできるアクティブマトリクス基板を製造できる。

【0099】本発明のように、アクティブマトリクス基板を一括して、あるいは表示領域、駆動回路領域を一括してエキシマレーザビームによりシリコン薄膜を結晶化できると、表示領域全体に渡って均一な表示でさらに、低圧電源で誤動作しない高速駆動の駆動回路を内蔵するアクティブマトリクス基板を製造できる。

【0100】リーク電流が極めて小さい表示領域の画素のスイッチング素子である薄膜トランジスタと、高速動作の駆動回路を内蔵する本発明のアクティブマトリクス基板は画素が 1000 個 cm^{-2} 以上ある高密度で、高精度であり、高品位の表示が可能となる。

【図面の簡単な説明】

【図1】 本発明のアクティブマトリクス基板製造工程図。

【図2】 本発明のアクティブマトリクス基板製造工程図。

【図3】 本発明のアクティブマトリクス基板製造工程図。

【図4】 本発明のアクティブマトリクス基板製造工程図。

【図5】 本発明のアクティブマトリクス基板製造工程図。

【図6】 本発明のアクティブマトリクス基板製造工程図。

【図7】 本発明のアクティブマトリクス基板製造工程図。

【図8】 本発明のアクティブマトリクス基板製造工程図。

【図9】 本発明のアクティブマトリクス基板製造工程図。

【図10】 本発明のアクティブマトリクス基板製造工程図。

【図11】 本発明のアクティブマトリクス基板製造工程図。

【図12】 本発明のアクティブマトリクス基板製造工程図。

【図13】 本発明のアクティブマトリクス基板製造工程図。

【図14】 本発明のアクティブマトリクス基板製造工程図。

【図15】 本発明のアクティブマトリクス基板製造工程図。

【図16】 本発明のアクティブマトリクス基板製造工程図。

【図17】 エキシマレーザビームのエネルギー分布図。

【図18】 従来のレーザアニールによる多結晶シリコンの製造図。

【符号の説明】

ADR…レーザビームの照射境界

ALC…アクティブマトリクス基板形成領域

DCL…アクティブマトリクス基板切断線

DLR…エキシマレーザビーム

DPL…駆動回路形成領域の多結晶シリコン薄膜

DRC…アクティブマトリクス基板形成領域と、隣のアクティブマトリクス基板形成領域のシリコン薄膜を結晶化するためのレーザビームの照射領域との距離

DRR…ドレイン領域

DSS…表示領域

FLS…図5の方法による1回目のエキシマレーザビームの照射

FPL…1回目のエキシマレーザビームの照射で形成された多結晶シリコン薄膜

FSP…1パルス目のレーザビーム照射領域

GLS…ガラス基板

GSD…ゲート絶縁膜

GTD…ゲート電極

IMP…イオン注入

ISD…第一の層間絶縁膜

LS…レーザビーム走査ピッチ

LSB…エキシマレーザビーム

LSR…レーザ照射

Lv…1回目と2回目のエキシマレーザビームの照射領域の重なり幅

MCR…エキシマレーザビームの境界領域の照射で形成された微結晶シリコン薄膜

NSP…Nパルス目のレーザビーム照射領域

PCR…大粒径の結晶粒で構成された多結晶シリコン薄膜

PDS…表示領域の多結晶シリコン薄膜

PSL…多結晶シリコン薄膜

PTC…隣接アクティブマトリクス基板距離

PVS…パッシベーション膜

PYD…走査線側駆動回路形成領域の多結晶シリコン薄膜

PXD…信号線側駆動回路形成領域の多結晶シリコン薄膜

RLC…アクティブマトリクス基板形成領域

RLR…レーザビーム照射領域

RMX…多結晶シリコン薄膜形成領域

SCR…ソース領域

SLR…シリコン薄膜

SLS…図5の方法による2回目のエキシマレーザビームの照射

SPC…固相成長法により形成された多結晶シリコン薄膜

SPL…2回目のエキシマレーザビームの照射で形成された多結晶シリコン薄膜

SSD…ソース電極

SSP…2パルス目のレーザビーム照射領域

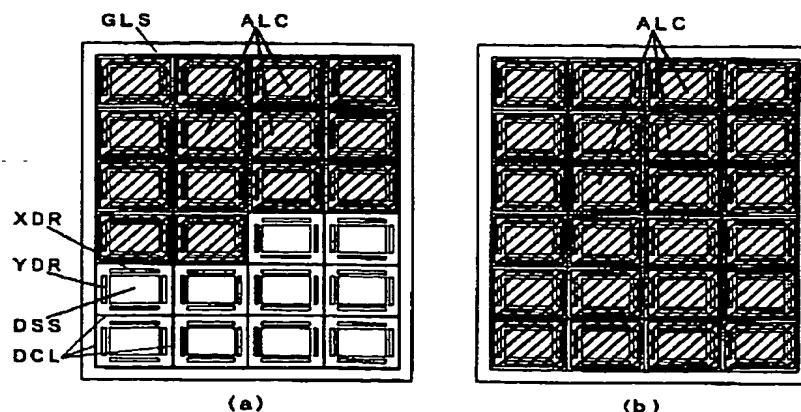
TED…画素電極

UNL…パッシベーション膜

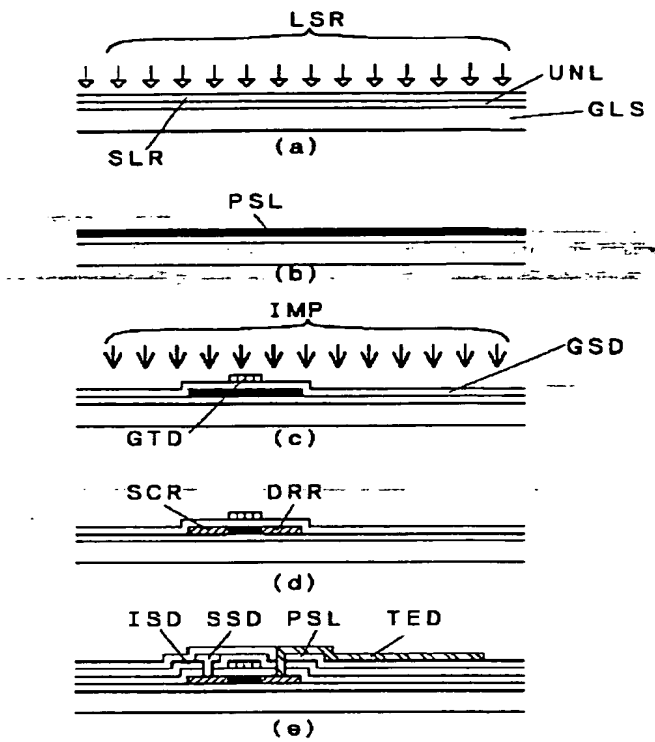
XDR…信号線側駆動回路形成領域

YDR…走査線側駆動回路形成領域

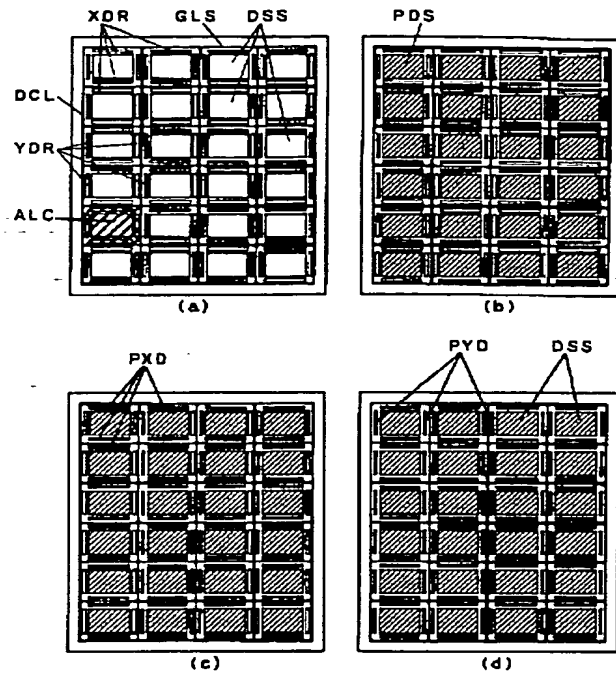
【図2】



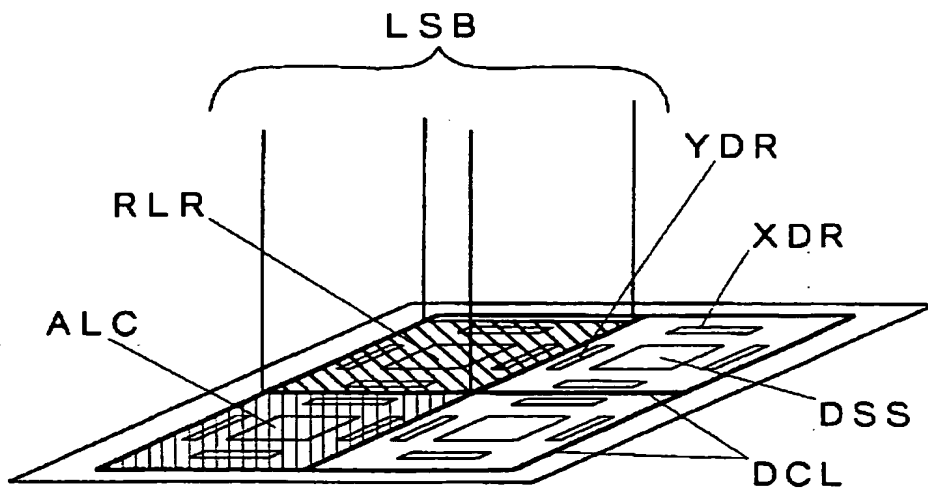
【図1】



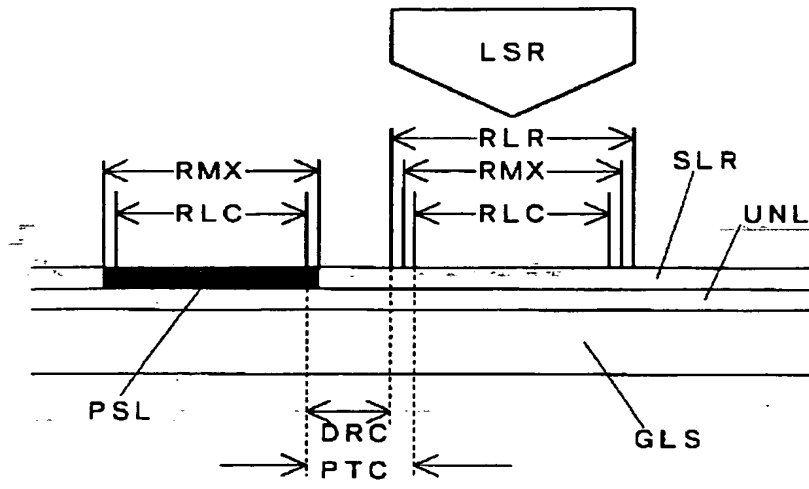
【図5】



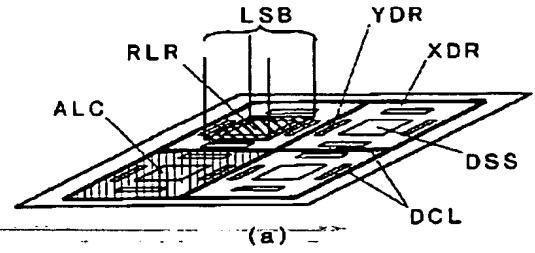
【図3】



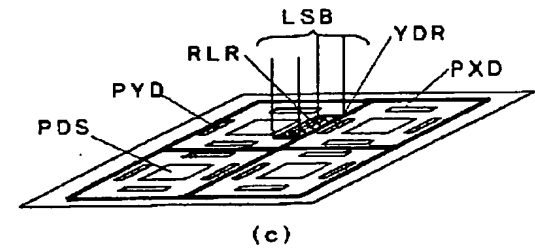
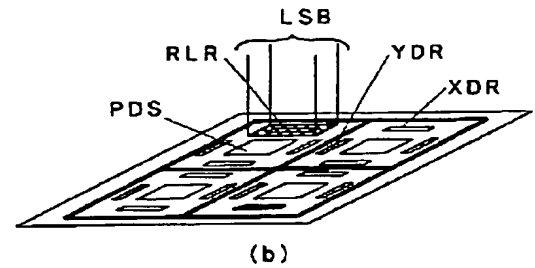
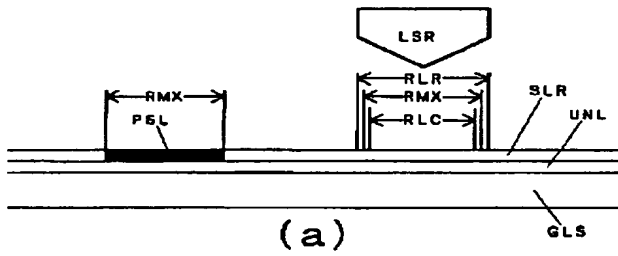
【図4】



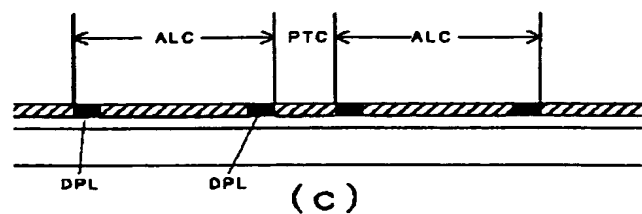
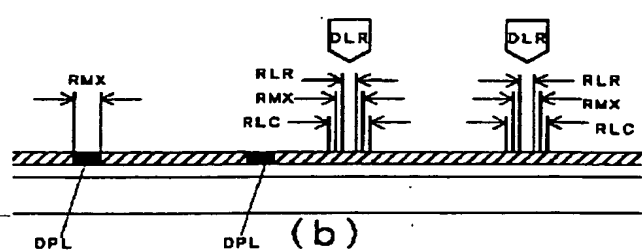
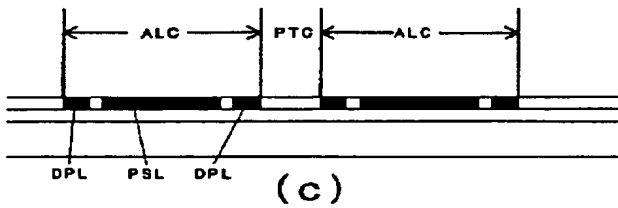
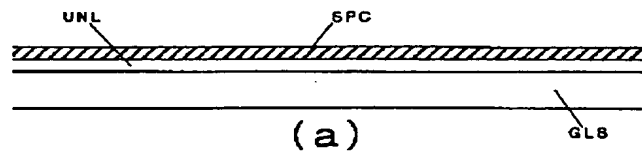
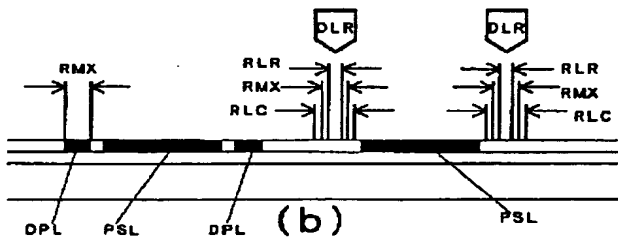
【図6】



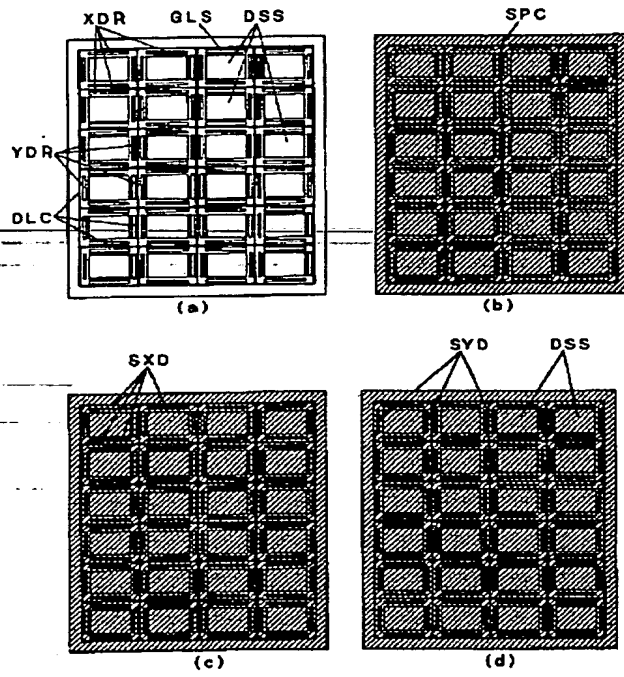
【図7】



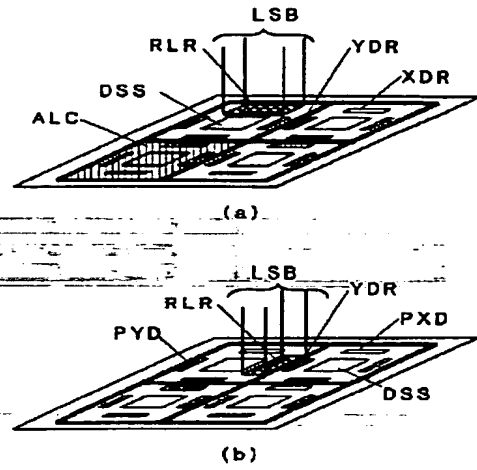
【図8】



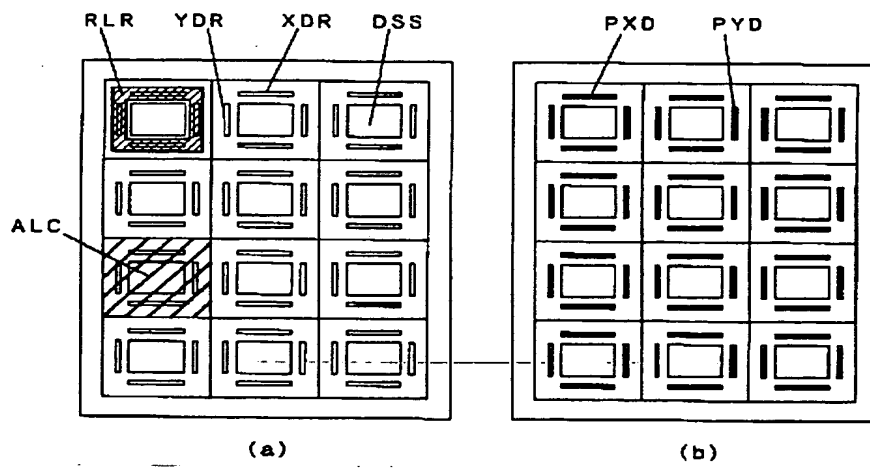
【図9】



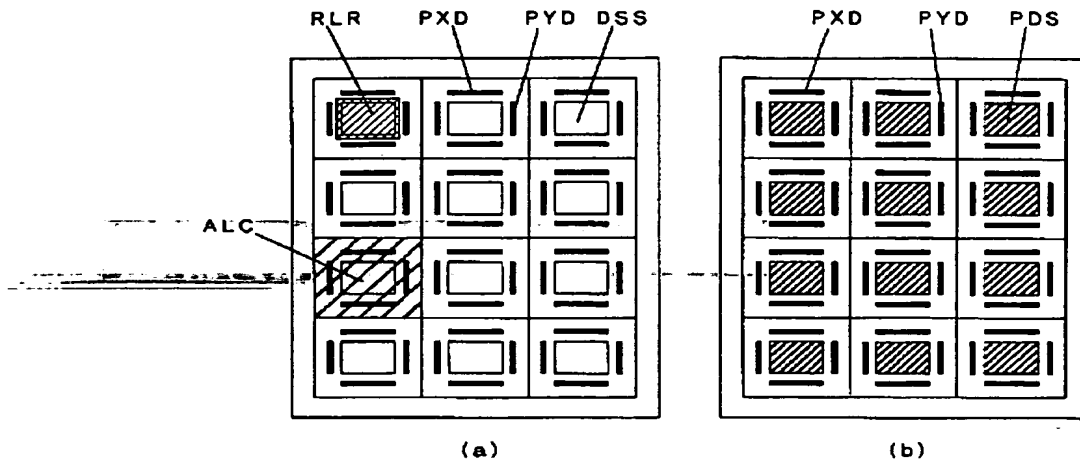
【図10】



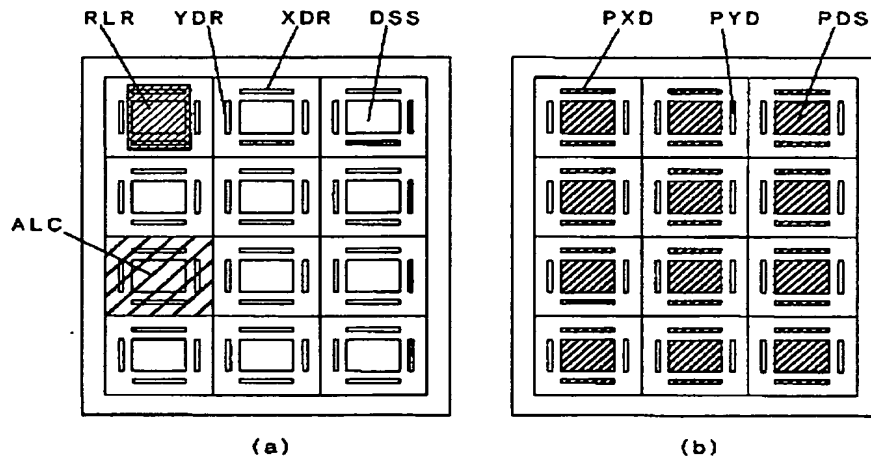
【図11】



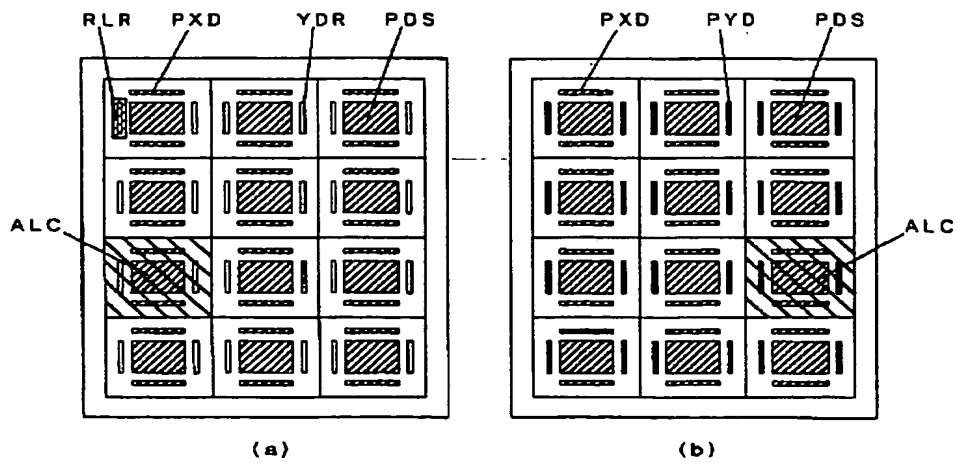
【図12】



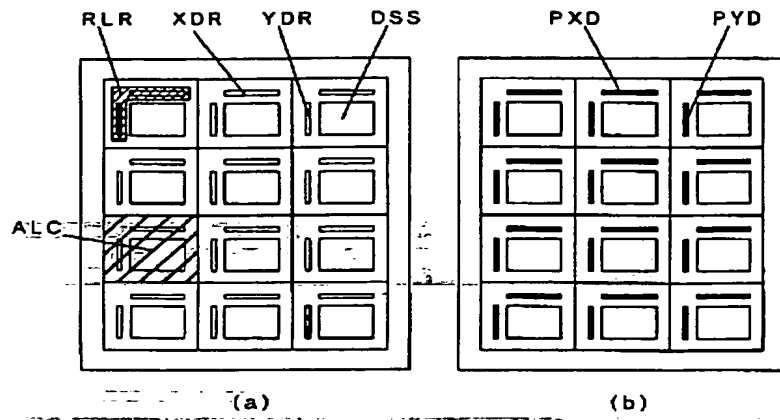
【図13】



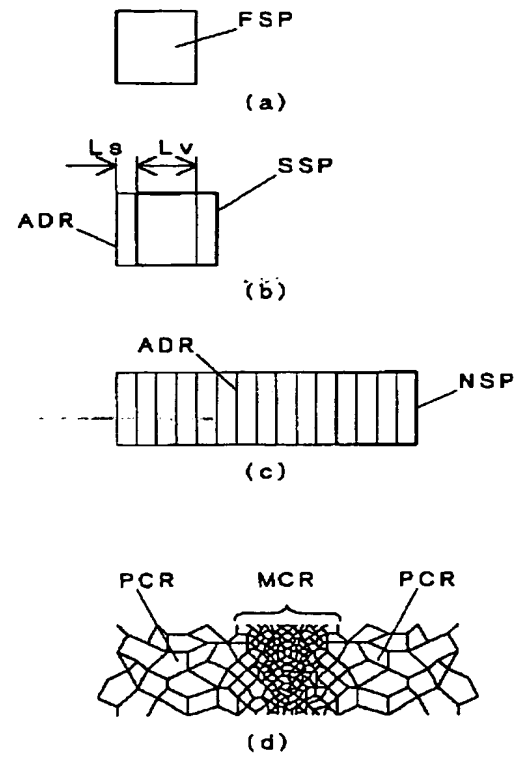
【図14】



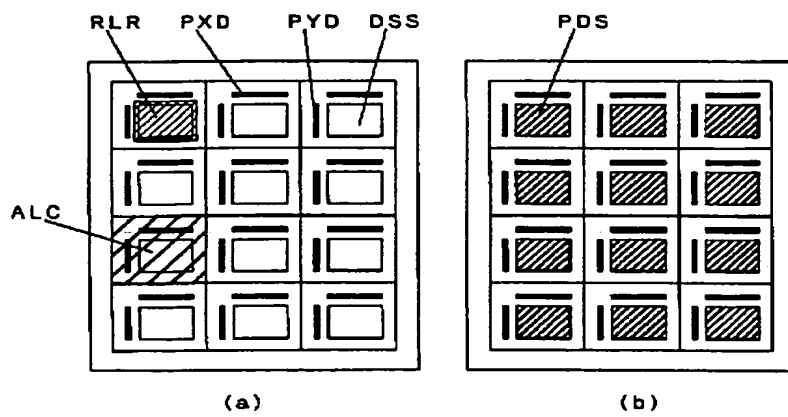
【図15】



【図17】



【図16】



【図18】

